

CMOS集積回路設計・開発セミナー

1.0μm CMOS 2層配線ルールでLSIを設計し、センターで試作、自身で評価まで行います。



未経験でもLSIが完成

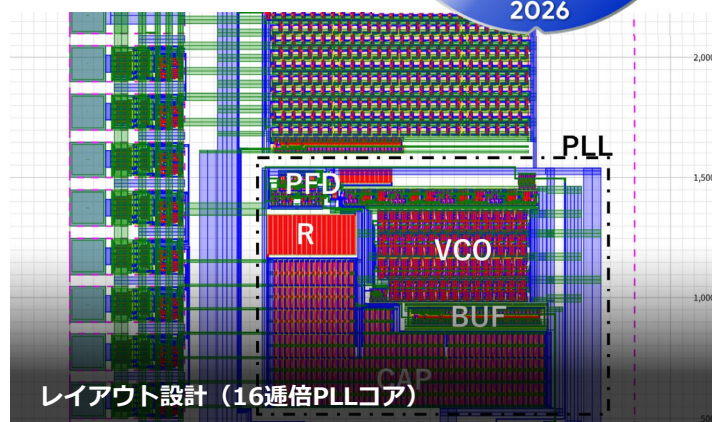
遠隔による設計指導とサポートにより、未経験者でも自分専用のLSIチップを完成させます。

WebツールでLSI設計

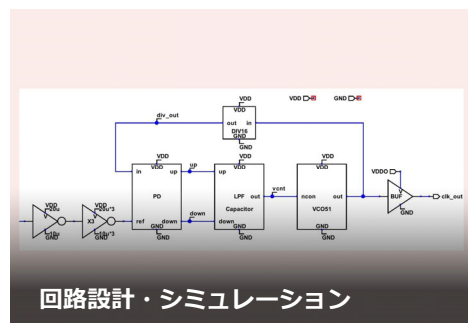
回路設計・シミュレーション・レイアウト設計・検証まで、内製フリーソフトをWebで利用します。

学内ラインで試作・評価

センターの製造ラインで実際に試作。測定も在宅で可能な簡易測定環境を使用します。



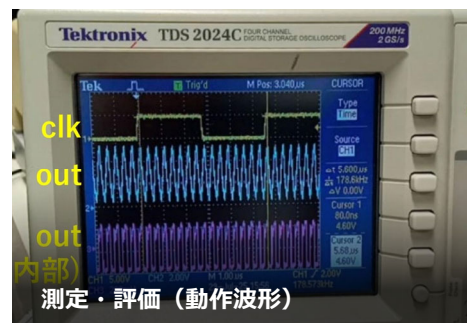
レイアウト設計 (16逓倍PLLコア)



回路設計・シミュレーション



センターの製造ラインで試作



測定・評価 (動作波形)

● 講座概要

CMOS集積回路 設計セミナー

99,800円

TEG 350×700μm・試作1回込

CMOS集積回路 設計・開発セミナー

169,800円

1.2×2.4mm 10-Chip・試作1回込

開講時期

2026年度

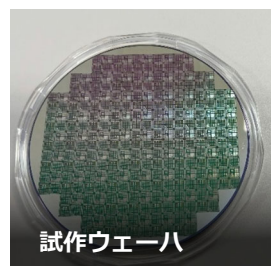
1.0μm CMOS 2層配線で試作

対象者: 中高生～大学生～社会人 (未経験者可) / 設計指導が不要な場合はGDSIIを受取り、チップ試作のみの利用も可能

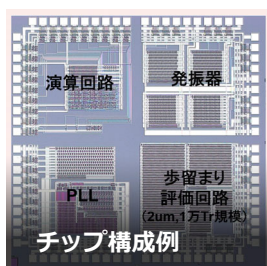
開発できる回路例: 演算回路/アンプ/メモリ (SRAM・DRAM) / PLL/AD・DAコンバータ/オリジナルLSI

提供PDK: KIT-CMS PDK 1.0 (SPICEモデル/λルール/DRC・EXT・LVS/セルLib) ※設計実習は最小2μmルール

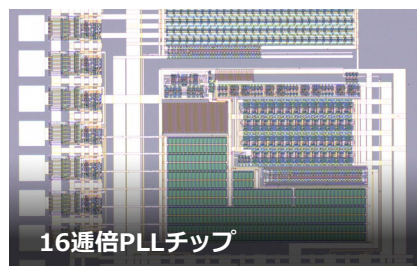
● 集積回路の試作例



試作ウェーハ



チップ構成例



16逓倍PLLチップ



評価用ボードへの実装

チップサイズ (PLL実績)

2.4mm角

試作工程数

約60工程

修了者特典

デジタルバッジ発行

