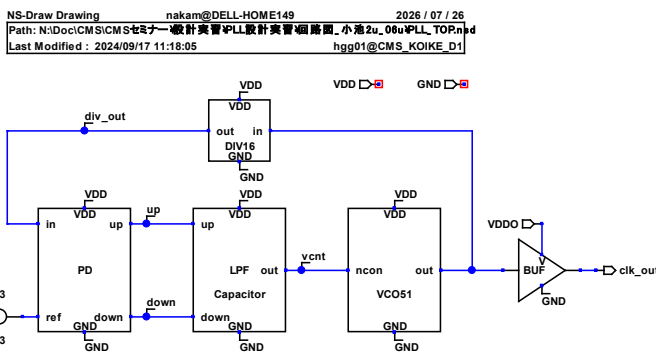


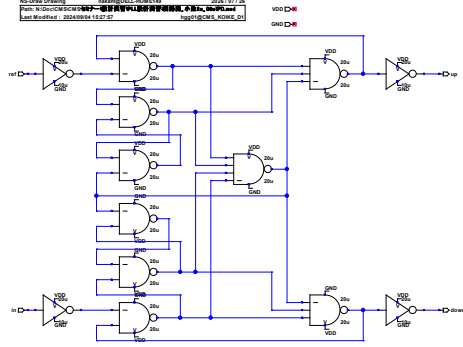
16通倍PLL設計の概要

マイクロ化標準 L=2um PolySi-Gate CMOS 2-Layer AI Process使用

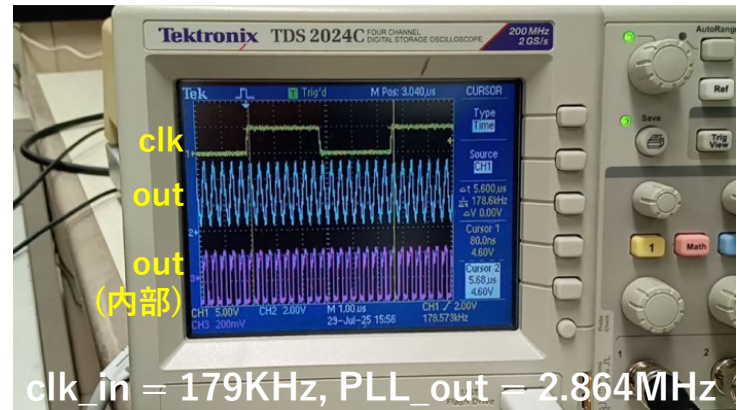
全体回路図



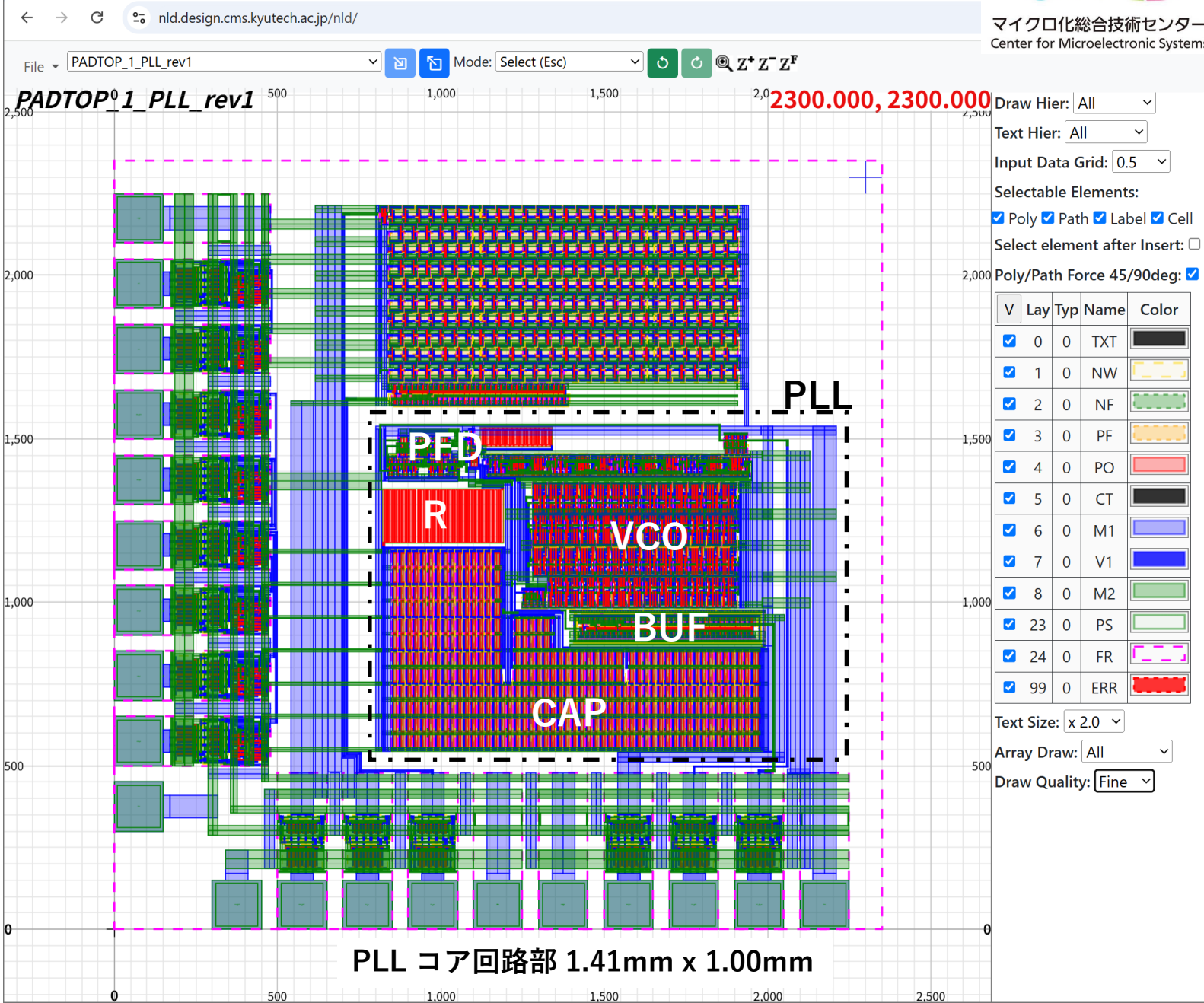
位相比較回路



動作波形 ロック時



全体レイアウト図 (チップサイズ : 2.4mm角)



マイクロ化総合技術センター
Center for Microelectronic Systems