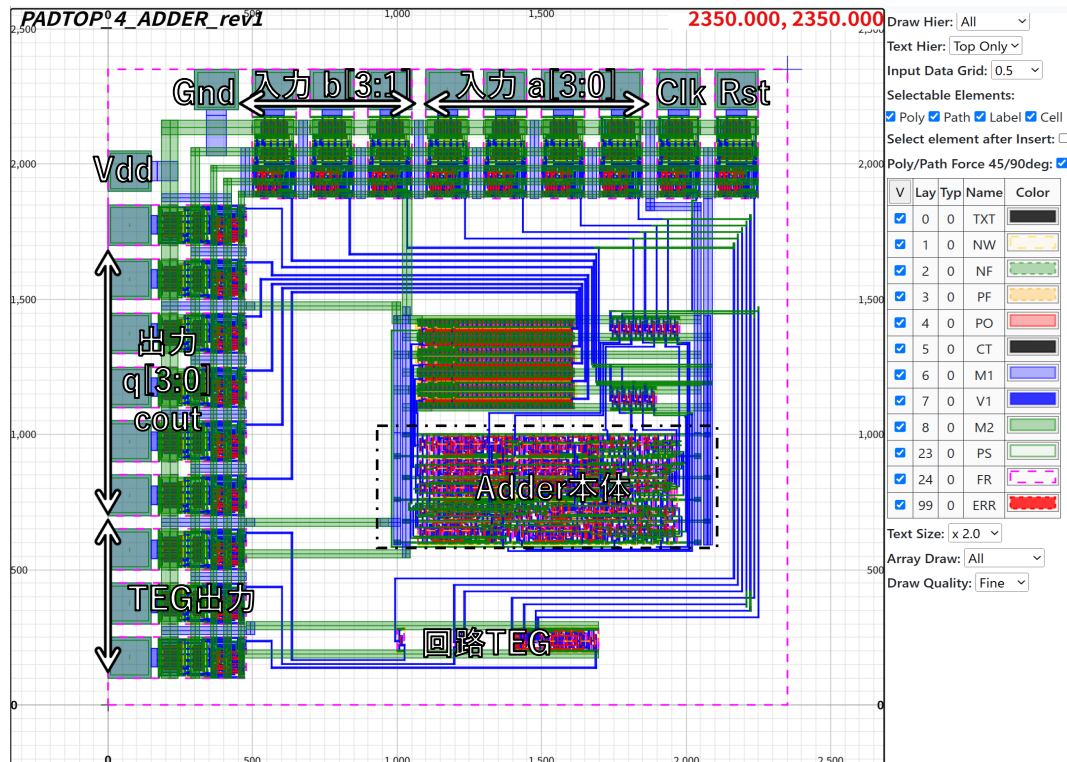


4bit 加算器の設計

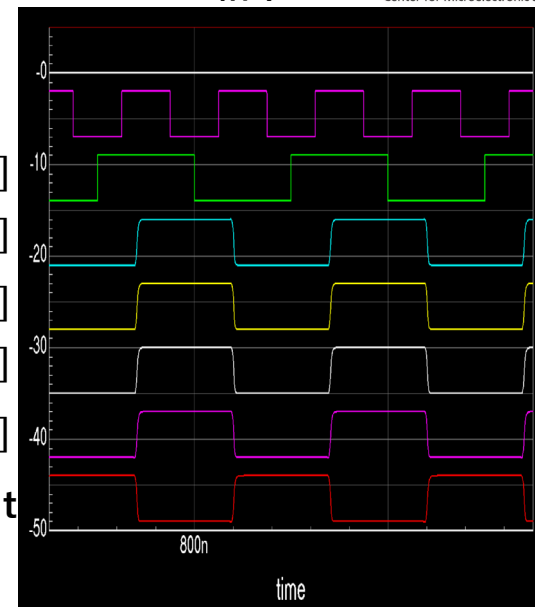
マイクロ化標準 L=2um PolySi-Gate CMOS 2-Layer AI Process 使用



Simulation結果

入力 { Clk
b[0]

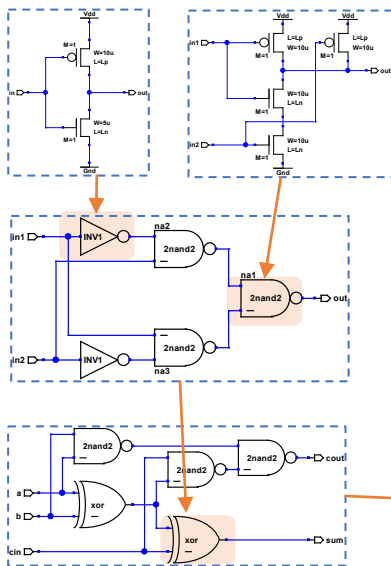
出力 { q[3]
q[2]
q[1]
q[0]
cout



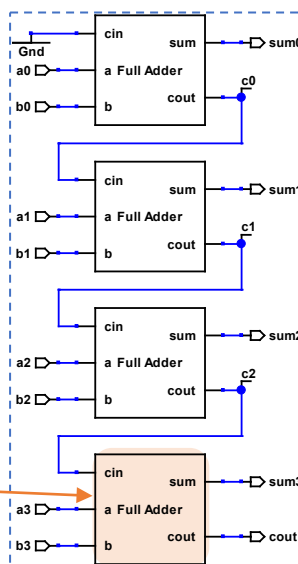
INVERTER
2NAND

XOR

1b Full
Adder



4b Adder



実測結果

入力 { Clk
b[0]

出力 { q[3]
q[2]
q[1]
q[0]
cout

